



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 9月 4日

出 願 番 号

Application Number:

特願2000-267286

出 願 人

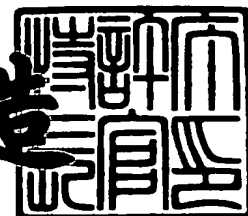
Applicant(s):

セイコーエプソン株式会社

2001年 9月14日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3085238

【書類名】 特許願

【整理番号】 J0081459

【提出日】 平成12年 9月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 東 清一郎

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 安部 大介

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

 【代表者】 安川 英昭

【代理人】

 【識別番号】 100093388

 【弁理士】

 【氏名又は名称】 鈴木 喜三郎

 【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

 【識別番号】 100095728

 【弁理士】

 【氏名又は名称】 上柳 雅誉

【選任した代理人】

 【識別番号】 100107261

 【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電界効果トランジスタの製造方法

【特許請求の範囲】

【請求項 1】 基板上に能動層となる半導体層を形成する工程と、該半導体層上にゲート絶縁膜を形成する工程を具備する電界効果トランジスタの製造方法において、前記絶縁膜の形成は基板温度を 1 0 0℃以下でおこなうことを特徴とする電界効果トランジスタの製造方法。

【請求項 2】 前記ゲート絶縁膜の形成は、基板加熱をせずにおこなうことを特徴とする請求項 1 記載の電界効果トランジスタの製造方法。

【請求項 3】 前記ゲート絶縁膜の形成は、基板を室温以下に冷却しながらおこなうことを特徴とする請求項 1 記載の電界効果トランジスタの製造方法。

【請求項 4】 前記ゲート絶縁膜の形成は、プラズマ C V D にて行なわれることを特徴とする請求項 1 乃至 3 のいずれかに記載の電界効果トランジスタの製造方法。

【請求項 5】 前記ゲート絶縁膜の形成は、マイクロ波プラズマ C V D にて行なわれることを特徴とする請求項 1 乃至 3 のいずれかに記載の電界効果トランジスタの製造方法。

【請求項 6】 基板上に能動層となる半導体層を形成する工程と、該半導体層上にゲート絶縁膜を形成する工程を具備する電界効果トランジスタの製造方法において、前記絶縁膜の形成は基板温度を 1 0 0℃以下でおこない、しかる後該ゲート絶縁膜を水を含んだ雰囲気中にて 1 0 0℃以上の温度で熱処理することを特徴とする電界効果トランジスタの製造方法。

【請求項 7】 前記ゲート絶縁膜の形成は、基板加熱をせずにおこなうことを特徴とする請求項 6 記載の電界効果トランジスタの製造方法。

【請求項 8】 前記ゲート絶縁膜の形成は、基板を室温以下に冷却しながらおこなうことを特徴とする請求項 6 記載の電界効果トランジスタの製造方法。

【請求項 9】 前記ゲート絶縁膜の形成は、プラズマ C V D にて行なわれることを特徴とする請求項 6 乃至 8 のいずれかに記載の電界効果トランジスタの製造方法。

【請求項 1 0】前記ゲート絶縁膜の形成は、マイクロ波プラズマ C V D にて行なわれることを特徴とする請求項 6 乃至 8 のいずれかに記載の電界効果トランジスタの製造方法。

【請求項 1 1】基板上に能動層となる半導体層を形成する工程と、該半導体層上にゲート絶縁膜を 2 段階のプロセスにより形成する工程を具備する電界効果トランジスタの製造方法において、前記第 1 段階のゲート絶縁膜の形成は基板温度 1 0 0 ℃ 以下でおこない、前記第 2 段階のゲート絶縁膜形成は基板温度 1 0 0 ℃ 以上でおこなうことを特徴とする電界効果トランジスタの製造方法。

【請求項 1 2】前記第 1 段階のゲート絶縁膜形成は、基板加熱をせずにおこなうことを特徴とする請求項 1 1 記載の電界効果トランジスタの製造方法。

【請求項 1 3】前記第 1 段階のゲート絶縁膜の形成は、基板を室温以下に冷却しながらおこなうことを特徴とする請求項 1 1 記載の電界効果トランジスタの製造方法。

【請求項 1 4】前記第 1 段階のゲート絶縁膜の形成は、プラズマ C V D にて行なわれることを特徴とする請求項 1 1 乃至 1 3 のいずれかに記載の電界効果トランジスタの製造方法。

【請求項 1 5】前記第 1 段階のゲート絶縁膜の形成は、マイクロ波プラズマ C V D にて行なわれることを特徴とする請求項 1 1 乃至 1 3 のいずれかに記載の電界効果トランジスタの製造方法。

【請求項 1 6】前記第 2 段階のゲート絶縁膜の形成は、T E O S ガスを用いたプラズマ C V D にて行なわれることを特徴とする請求項 1 1 乃至 1 5 のいずれかに記載の電界効果トランジスタの製造方法。

【請求項 1 7】基板上に能動層となる半導体層を形成する工程と、該半導体層上にゲート絶縁膜を 2 段階のプロセスにより形成する工程を具備する電界効果トランジスタの製造方法において、前記第 1 段階のゲート絶縁膜の形成は基板温度 1 0 0 ℃ 以下でおこない、前記第 2 段階のゲート絶縁膜形成は基板温度 1 0 0 ℃ 以上でおこない、しかる後該ゲート絶縁膜を水を含んだ雰囲気中にて 1 0 0 ℃ 以上の温度で熱処理することを特徴とする電界効果トランジスタの製造方法。

【請求項 1 8】前記第 1 段階のゲート絶縁膜形成は、基板温度を室温に制御し

ながらおこなうことを特徴とする請求項 1 7 記載の電界効果トランジスタの製造方法。

【請求項 1 9】前記第 1 段階のゲート絶縁膜の形成は、基板を室温以下に冷却しながらおこなうことを特徴とする請求項 1 7 記載の電界効果トランジスタの製造方法。

【請求項 2 0】前記第 1 段階のゲート絶縁膜の形成は、プラズマ C V D にて行なわれることを特徴とする請求項 1 7 乃至 1 9 のいずれかに記載の電界効果トランジスタの製造方法。

【請求項 2 1】前記第 1 段階のゲート絶縁膜の形成は、マイクロ波プラズマ C V D にて行なわれることを特徴とする請求項 1 7 乃至 1 9 のいずれかに記載の電界効果トランジスタの製造方法。

【請求項 2 2】前記第 2 段階のゲート絶縁膜の形成は、T E O S ガスを用いたプラズマ C V D にて行なわれることを特徴とする請求項 1 7 乃至 2 1 のいずれかに記載の電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は単結晶半導体基板上に形成される電界効果トランジスタ、絶縁体上に形成される薄膜トランジスタおよびこれにより形成したロジック回路、メモリ回路、液晶表示装置および有機 E L 表示装置の表示画素または表示装置駆動回路の構成素子として利用される薄膜トランジスタの製造方法に関するものである。

【0 0 0 2】

【従来の技術】

多結晶シリコン等の半導体膜は薄膜トランジスタ（以下本願明細書中では T F T と称する）や太陽電池に広く利用されている。とりわけ多結晶シリコン（ p o l y - S i ） T F T は高移動度化が可能でありながらガラス基板のように透明で絶縁性の基板上に作成できるという特徴を生かして、液晶表示装置（ L C D ）や液晶プロジェクターなどの光変調素子あるいは液晶駆動用内蔵ドライバーの構成素子として広く用いられ、新しい市場の創出に成功している。

【0003】

ガラス基板上に高性能なTFTを作成する方法としては高温プロセスと呼ばれる製造方法がすでに実用化されている。TFTの製造方法として工程最高温度が1000℃程度の高温を用いるプロセスを一般的に高温プロセスと呼んでいる。高温プロセスの特徴は、シリコンの固相成長により比較的良質のpoly-Siを作成する事ができることと、熱酸化により良質のゲート絶縁膜（一般的に二酸化珪素）および清浄なpoly-Siとゲート絶縁膜の界面を形成できることである。高温プロセスではこれらの特徴により、高移動度でしかも信頼性の高い高性能TFTを安定的に製造することができる。しかし、高温プロセスを用いるためにはTFTを作成する基板が1000℃以上の高温の熱工程に耐え得る必要がある。この条件を満たす透明な基板は現在のところ石英ガラスしかない。このため昨今のpoly-Si TFTは総て高価で小さい石英ガラス基板上に作成されており、コストの問題上大型化には向かないとされている。また、固相成長法では十数時間という長時間の熱処理が必要であり、生産性が極めて低いとの課題がある。また、この方法では基板全体が長時間加熱されている事に起因して基板の熱変形が大きな問題と化し実質的に安価な大型ガラス基板を使用し得ないとの課題が生じており、これもまた低コスト化の妨げとなっている。

【0004】

一方、高温プロセスが持つ上記欠点を解消し、尚且つ高移動度のpoly-Si TFTを実現しようとしているのが低温プロセスと呼ばれる技術である。比較的安価な耐熱性ガラス基板を使うために、工程最高温度としておおむね600℃以下のpoly-Si TFT製造プロセスを一般に低温プロセスと呼ぶ。低温プロセスでは発振時間が極短時間のパルスレーザーを用いてシリコン膜の結晶化をおこなうレーザー結晶化技術が広く使われている。レーザー結晶化とは、ガラス基板上のアモルファスシリコン膜に高出力のパルスレーザー光を照射することによって瞬時に溶融させ、これが凝固する過程で結晶化する性質を利用する技術である。最近ではガラス基板上のアモルファスシリコン膜にエキシマレーザービームをくり返し照射しながらスキャンすることによって大面積のpoly-Si膜を作成する技術が広く使われるようになった。また、ゲート絶縁膜としては

プラズマCVDをもちいた成膜方法により二酸化珪素 (SiO_2) 膜が成膜可能となり実用化への見通しが得られるほどになった。これらの技術によって、現在では一辺が数十センチほどもある大型のガラス基板上に poly-Si TFT が作成可能となっている。

【0005】

しかし、この低温プロセスで問題となるのは能動層となる半導体表面とゲート絶縁膜の界面（以下MOS界面）に高い密度の界面準位が発生し、これがTFTの移動度、閾値電圧を大きく左右する要因となることである。1000℃以上の熱酸化によって形成される良好なMOS界面における界面順位密度は 2×10^{10} ($\text{cm}^{-2} \text{eV}^{-1}$) 程度に低減することができるが、プラズマCVDなどにより400℃以下の低温で絶縁膜を形成した場合、MOS界面準位密度は $10^{11} \sim 10^{12}$ ($\text{cm}^{-2} \text{eV}^{-1}$) という高い密度で準位が発生する。これら界面順位のエネルギーは半導体のバンドギャップ中に位置するため、容易にキャリアを捕獲する。

電界効果トランジスタの場合、ゲート電極に電圧を印加するとMOSキャパシタ容量によって決まるキャリアが半導体側に誘起される。しかし半導体側、すなわちMOS界面に欠陥があると、誘起されたキャリアがこれら欠陥に捕獲され伝導に寄与できない。結果として、より高いゲート電圧を印加し、欠陥よりも多くのキャリアを誘起してやらないとドレイン電流が得られないことになる。これがTFTの閾値電圧を高くしている原因である。現状では上記欠陥を積極的に制御する有効な手段がないため、TFTの閾値電圧が高い、あるいはロット間でのばらつきが大きいという結果を招き、これが現在の製造プロセスでの最大の問題となっている。現状として低温 poly-Si TFT の閾値電圧はおおむね3～4V程度である。閾値電圧を例えば1V程度に下げることができればTFTで作製した回路の駆動電圧を現在の3分の1以下に下げることができる。

【0006】

回路の消費電力は駆動電圧の2乗に比例するので、駆動電圧を3分の1以下に下げることができれば消費電力を10分の1ちかくに飛躍的に下げることが可能となるのである。こうすることによって、例えば携帯情報機器向けのディスプレイに適した超低消費電力の液晶ディスプレイが実現できるのである。このような

目的を達成するためには、 poly-Si および MOS 界面の欠陥面密度を共に $10^{10} (\text{cm}^{-2} \text{eV}^{-1})$ 程度にまで低減することが求められる。

【0007】

【発明が解決しようとする課題】

そこで本発明は上述の諸課題を鑑み、低温プロセスで形成した MOS 界面の欠陥を低減せしめ、 poly-Si TFT および回路の特性向上を実現する電界効果トランジスタの製造方法を与えるものである。

【0008】

【課題を解決するための手段】

上記課題を解決する為に下記発明が提供される。

(1) 基板上に能動層となる半導体層を形成する工程と、該半導体層上にゲート絶縁膜を形成する工程を具備する電界効果トランジスタの製造方法において、前記絶縁膜の形成は基板温度を 100°C 以下でおこなうことを特徴とする方法。

ここで「基板上に能動層となる半導体層を形成する工程」とは、結晶引き上げ等によって単結晶基板を形成するような場合も含む。

(2) (1) 記載の電界効果トランジスタの製造方法において、基板加熱をせずにおこなうことを特徴とする方法。

(3) (1) 記載の電界効果トランジスタの製造方法において、前記ゲート絶縁膜の形成は、基板を室温以下に冷却しながらおこなうことを特徴とする方法。

(4) (1) 乃至 (3) のいずれかに記載の電界効果トランジスタの製造方法において、前記ゲート絶縁膜の形成は、プラズマ CVD にて行なわれることを特徴とする方法。

(5) (1) 乃至 (3) のいずれかに記載の電界効果トランジスタの製造方法において、前記ゲート絶縁膜の形成は、マイクロ波プラズマ CVD にて行なわれることを特徴とする方法。

(6) 基板上に能動層となる半導体層を形成する工程と、該半導体層上にゲート絶縁膜を形成する工程を具備する電界効果トランジスタの製造方法において、前記絶縁膜の形成は基板温度を 100°C 以下でおこない、しかる後該ゲート絶縁膜を水を含んだ雰囲気中にて 100°C 以上の温度で熱処理することを特徴とする

方法。

(7) (6) 記載の電界効果トランジスタの製造方法において、前記ゲート絶縁膜の形成は、基板加熱をせずにおこなうことを特徴とする方法。

(8) (6) 記載の電界効果トランジスタの製造方法において、前記ゲート絶縁膜の形成は、基板を室温以下に冷却しながらおこなうことを特徴とする方法。

(9) (6) 乃至 (8) のいずれかに記載の電界効果トランジスタの製造方法において、前記ゲート絶縁膜の形成は、プラズマCVDにて行なわれることを特徴とする方法。

(10) (6) 乃至 (8) のいずれかに記載の電界効果トランジスタの製造方法において、前記ゲート絶縁膜の形成は、マイクロ波プラズマCVDにて行なわれることを特徴とする方法。

(11) 基板上に能動層となる半導体層を形成する工程と、該半導体層上にゲート絶縁膜を2段階のプロセスにより形成する工程を具備する電界効果トランジスタの製造方法において、前記第1段階のゲート絶縁膜の形成は基板温度100℃以下でおこない、前記第2段階のゲート絶縁膜形成は基板温度100℃以上でおこなうことを特徴とする方法。

ここで第1段階、第2段階とは形成条件あるいは成膜方法が異なる成膜工程によって形成する絶縁膜形成工程を区別して示すものである。例えば成膜中に温度や放電パワーを変更するような成膜方法も第1、第2の形成工程と考える。

(12) (11) 記載の電界効果トランジスタの製造方法において、前記第1段階のゲート絶縁膜形成は、基板加熱をせずにおこなうことを特徴とする方法。

【0009】

(13) (11) 記載の電界効果トランジスタの製造方法において、前記第1段階のゲート絶縁膜の形成は、基板を室温以下に冷却しながらおこなうことを特徴とする方法。

【0010】

(14) (11) 乃至 (13) のいずれかに記載の電界効果トランジスタの製造方法において、前記第1段階のゲート絶縁膜の形成は、プラズマCVDにて行なわれることを特徴とする方法。

【 0 0 1 1 】

(1 5) (1 1) 乃至 (1 3) のいずれかに記載の電界効果トランジスタの製造方法において、前記第 1 段階のゲート絶縁膜の形成は、マイクロ波プラズマ C V D にて行なわれることを特徴とする方法。

【 0 0 1 2 】

(1 6) (1 1) 乃至 (1 5) のいずれかに記載の電界効果トランジスタの製造方法において、前記第 2 段階のゲート絶縁膜の形成は、T E O S ガスを用いたプラズマ C V D にて行なわれることを特徴とする方法。

【 0 0 1 3 】

(1 7) 基板上に能動層となる半導体層を形成する工程と、該半導体層上にゲート絶縁膜を 2 段階のプロセスにより形成する工程を具備する電界効果トランジスタの製造方法において、前記第 1 段階のゲート絶縁膜の形成は基板温度 1 0 0 ℃以下でおこない、前記第 2 段階のゲート絶縁膜形成は基板温度 1 0 0 ℃以上でおこない、しかる後該ゲート絶縁膜を水を含んだ雰囲気中にて 1 0 0 ℃以上の温度で熱処理することを特徴とする方法。

【 0 0 1 4 】

(1 8) (1 7) 記載の電界効果トランジスタの製造方法において、前記第 1 段階のゲート絶縁膜形成は、基板温度を室温に制御しながらおこなうことを特徴とする方法。

【 0 0 1 5 】

(1 9) (1 7) 記載の電界効果トランジスタの製造方法において、前記第 1 段階のゲート絶縁膜の形成は、基板を室温以下に冷却しながらおこなうことを特徴とする方法。

【 0 0 1 6 】

(2 0) (1 7) 乃至 (1 9) のいずれかに記載の電界効果トランジスタの製造方法において、前記第 1 段階のゲート絶縁膜の形成は、プラズマ C V D にて行なわれることを特徴とする方法。

【 0 0 1 7 】

(2 1) (1 7) 乃至 (1 9) のいずれかに記載の電界効果トランジスタの製

造方法において、前記第 1 段階のゲート絶縁膜の形成は、マイクロ波プラズマ CVD にて行なわれることを特徴とする方法。

【0018】

(22) (17) 乃至 (21) のいずれかに記載の電界効果トランジスタの製造方法において、前記第 2 段階のゲート絶縁膜の形成は、TEOS ガスを用いたプラズマ CVD にて行なわれることを特徴とする方法。

【0019】

【発明の実施の形態】

以下、本発明の実施の形態の一例を図面に基づいて詳述する。図 1 に工程を追うごとの poly-Si TFT の構造を図示する。

【0020】

(1. 半導体薄膜の形成・図 1 (a))

本願発明の実施のためには通常、基板 (101) の上に下地保護膜 (102) を形成しその上に半導体薄膜 (103) を形成するので、この一連の形成方法について説明する。

【0021】

本発明を適応し得る基板 (101) としては金属等の導電性物質、シリコン・カーバイド (SiC) やアルミナ (Al_2O_3) や窒化アルミニウム (AlN) 等のセラミック材料、熔融石英やガラス等の透明または非透明絶縁性物質、シリコンウェーハ等の半導体物質、並びにそれを加工した LSI 基板等が可能である。半導体膜は基板上に直接又は下地保護膜や下部電極等を介して堆積する。またシリコンウェーハなどの単結晶基板はこれをそのまま能動層となる半導体層 (103) として使用する。

【0022】

下地保護膜 (102) としては酸化硅素膜 (SiO_x : $0 < x \leq 2$) や窒化硅素膜 (Si_3N_x : $0 < x \leq 4$) 等の絶縁性物質が挙げられる。TFT などの薄膜半導体装置を通常のガラス基板上に作成する場合の様な半導体膜への不純物制御が重要である時、ガラス基板中に含まれているナトリウム (Na) 等の可動イオンが半導体膜中に混入しない様に下地保護膜を形成した後に半導体膜を堆積す

る事が好ましい。同じ事情は各種セラミック材料を基板として用いる場合にも通ずる。下地保護膜はセラミック中に添加されている焼結助材原料などの不純物が半導体部に拡散及び混入するのを防止するのである。金属材料などの導電性材料を基板として用い、且つ半導体膜が金属基板と電氣的に絶縁されていなければならない場合には、絶縁性を確保する為に当然下地保護膜は必要不可欠である。更に半導体基板やLSI素子上に半導体膜を形成する時にはトランジスタ間や配線間の層間絶縁膜が同時に下地保護膜でもある。

【 0 0 2 3 】

下地保護膜はまず基板を純水やアルコールなどの有機溶剤で洗浄した後、基板上に常圧化学気相堆積法（APCVD法）や低圧化学気相堆積法（LPCVD法）、プラズマ化学気相堆積法（PECVD法）等のCVD法或いはスパッター法等で形成する。下地保護膜として酸化珪素膜を用いる場合、常圧化学気相堆積法では基板温度を250℃程度から450℃程度としてモノシラン（ SiH_4 ）や酸素を原料として堆積し得る。プラズマ化学気相堆積法やスパッター法では基板温度は室温から400℃程度である。下地保護膜の膜厚は基板からの不純物元素の拡散と混入を防ぐのに十分な厚さが必要で、その値は最小で100nm程度以上である。ロット間や基板間のばらつきを考慮すると200nm程度以上が好ましく、300nm程度あれば保護膜としての機能を十分に果たし得る。下地保護膜がIC素子間やこれらを結ぶ配線等の層間絶縁膜を兼ねる場合には、通常400nmから600nm程度の膜厚となる。絶縁膜が余りにも厚くなると絶縁膜のストレスに起因するクラックが生ずる。その為最大膜厚は2 μm 程度が好ましい。生産性を考慮する必要がある場合、絶縁膜厚は1 μm 程度が上限である。

【 0 0 2 4 】

次に半導体薄膜（103）について説明する。本発明が適用される半導体膜としてはシリコン（Si）やゲルマニウム（Ge）等の四族単体の半導体膜の他に、シリコン・ゲルマニウム（ $\text{Si}_x\text{Ge}_{1-x}$: $0 < x < 1$ ）やシリコン・カーバイド（ $\text{Si}_x\text{C}_{1-x}$: $0 < x < 1$ ）やゲルマニウム・カーバイド（ $\text{Ge}_x\text{C}_{1-x}$: $0 < x < 1$ ）等の四族元素複合体の半導体膜、ガリウム・ヒ素（GaAs）やインジウム・アンチモン（InSb）等の三族元素と五族元

素との複合体化合物半導体膜、またはカドミウム・セレン (CdSe) 等の二族元素と六族元素との複合体化合物半導体膜等がある。或いはシリコン・ゲルマニウム・ガリウム・ヒ素 ($\text{Si}_x \text{Ge}_y \text{Ga}_z \text{As}_z : x+y+z=1$) と云った更なる複合化合物半導体膜やこれらの半導体膜にリン (P)、ヒ素 (As)、アンチモン (Sb) などのドナー元素を添加したN型半導体膜、或いはホウ素 (B)、アルミニウム (Al)、ガリウム (Ga)、インジウム (In) 等のアクセプター元素を添加したP型半導体膜に対しても本発明は適応可能である。これら半導体膜はAPCVD法やLPCVD法、PECVD法等のCVD法、或いはスパッター法等や蒸着法等のPVD法で形成する。半導体膜としてシリコン膜を用いる場合、LPCVD法では基板温度を400℃程度から700℃程度としてジシラン (Si_2H_6) などを原料として堆積し得る。PECVD法ではモノシラン (SiH_4) などを原料として基板温度が100℃程度から500℃程度で堆積可能である。スパッター法を用いる時には基板温度は室温から400℃程度である。この様に堆積された半導体膜の初期状態 (as-deposited 状態) は非晶質や混晶質、微結晶質、或いは多結晶質等様々な状態があるが、本願発明にあっては初期状態はいずれの状態であっても構わない。尚本願明細書中では非晶質の結晶化のみならず、多結晶質や微結晶質の再結晶化をも含めて総て結晶化と呼ぶ。半導体膜の膜厚はそれをTFTに用いる時には20nm程度から100nm程度が適している。

【0025】

(2. 半導体薄膜のレーザー結晶化・図1(b)、図2、図3)

基板上に下地絶縁膜と半導体膜を形成した後、この半導体膜をレーザー照射 (レーザー光104) によって結晶化する。通常、LPCVD法、PECVD法等のCVD法で堆積させたシリコン膜表面は自然酸化膜で覆われていることが多い。従って、レーザー光を照射する前にこの自然酸化膜を除去する必要がある。このためには弗酸溶液に浸してウェットエッチングする方法や、フッ素を含んだプラズマ中でのドライエッチング等がある。

【0026】

次に半導体膜のついた基板をレーザー照射チャンバーにセットする。レーザー

照射チャンバーは一部分が石英の窓によってできており、チャンバーを真空中に排気した後この石英窓からレーザー光を照射する。

【 0 0 2 7 】

ここでレーザー光について説明する。レーザー光は半導体薄膜（103）表面で強く吸収され、その直下の絶縁膜（102）や基板（101）にはほとんど吸収されないことが望まれる。従ってこのレーザー光としては紫外域またはその近傍の波長を持つエキシマレーザー、アルゴンイオンレーザー、YAGレーザー高調波等が好ましい。また、半導体薄膜を高温に加熱すると同時に基板へのダメージを防ぐためには大出力でしかも極短時間のパルス発振であることが必要となる。従って、上記レーザー光の中でも特にキセノン・クロライド（XeCl）レーザー（波長308nm）やクリプトンフッライド（KrF）レーザー（波長248nm）等のエキシマ・レーザーが最も適している。次にこれらのレーザー光の照射方法について図2にそって述べる。レーザーパルスの強度半値幅は10ns程度から500ns程度の極短時間である。レーザー照射は基板（200）を室温（25℃）程度から400℃程度の間とし、背景真空度が 10^{-4} Torr程度から 10^{-9} Torr程度の真空中にて行う。レーザー照射の一回の照射面積は対角5mm□程度から60mm□程度の正方形または長形状である。レーザー照射の一回の照射で例えば8mm□の正方形面積が結晶化できるビームを用いた場合について説明する。1カ所に1発のレーザー照射（201）をおこなった後、基板とレーザーとの位置を相対的に水平方向にわずかにずらす（203）。この後再び1発のレーザー照射（202）をおこなう。このショットアンドスキャンを連続的に繰り返していく事によって大面積の基板にも対応できる。更に具体的には、各照射毎に照射領域を1%程度から99%程度ずらして行く（例えば50%：先の例では4mm）。最初に水平方向（X方向）に走査した後、次に垂直方向（Y方向）に適当量（204）ずらせて、再び水平方向に所定量（203）ずつずらせて走査し、以後この走査を繰り返して基板全面に第一回目のレーザー照射を行う。この第一回目のレーザー照射エネルギー密度は $50\text{ mJ}/\text{cm}^2$ 程度から $600\text{ mJ}/\text{cm}^2$ 程度の間が好ましい。第一回目のレーザー照射が終了した後、必要に応じて第二回目のレーザー照射を全面に施す。第二回目のレーザ

一照射を行う場合、そのエネルギー密度は一回目より高い値が好ましく、 $100 \text{ mJ} / \text{cm}^2$ 程度から $1000 \text{ mJ} / \text{cm}^2$ 程度の間としても良い。走査方法は第一回目のレーザー照射と同じで正形状の照射領域をY方向とX方向に適量ずらせて走査する。更に必要に応じてエネルギー密度をより高くした第三回目或いは第四回目のレーザー照射を行う事も可能で有る。こうした多段階レーザー照射法を用いるとレーザー照射領域端部に起因するばらつきを完全に消失させる事が可能になる。多段階レーザー照射の各回目の照射に限らず通常の一段階照射でも、レーザー照射は総て半導体膜に損傷が入らぬエネルギー密度で行う。これ以外にも図3に示すように、照射領域形状を幅 $100 \mu\text{m}$ 程度以上で長さが数 10 cm 以上のライン状(301)とし、このライン状レーザー光を走査して結晶化を進めても良い。この場合各照射毎のビームの幅方向の重なりはビーム幅の5%程度から95%程度とする。ビーム幅が $100 \mu\text{m}$ でビーム毎の重なり量が90%で有れば、一回の照射毎にビームは $10 \mu\text{m}$ 進むので同一点は10回のレーザー照射を受ける事となる。通常半導体膜を基板全体で均一に結晶化させるには少なくとも5回程度以上のレーザー照射が望まれるので、照射毎のビームの重なり量は80%程度以上が求められる。高い結晶性の多結晶膜を確実に得るには同一点が10回程度から30回程度の照射が行われる様に重なり量を90%程度から97%程度へと調整するのが好ましい。ラインビームを用いることによって1方向のスキニングで広い面積の結晶化ができるので、前述の正方形ビームに比べてスループットを高められるというメリットがえられる。

【0028】

(3. 半導体薄膜のプラズマ処理)

レーザー結晶化直後の poly-Si 膜中には $10^{18} (\text{cm}^{-3})$ 程度の高い密度で欠陥が存在する。これはレーザー結晶化が極めて高速の結晶成長であるためで、特に結晶粒界に多くの欠陥が局在する。これら欠陥の正体はシリコンの未結合手(ダングリングボンド)であり、通常は中性であるがキャリアを捕獲して電荷を帯びる性質がある。これら欠陥が高密度で poly-Si 膜中に存在すると、TFTを動作させようとしたとき電界効果によって誘起されたキャリアがごとく欠陥に捕獲されてしまうので、ソースドレイン電極間に電流が流れない

ことになってしまう。結果としてより高いゲート電圧をかける必要が生じ、閾値電圧の上昇を招くのである。これを防ぐために上記レーザー結晶化工程によって全面結晶化が終了した後、基板を真空ロボットによりプラズマ処理チャンバーに移送し、このチャンバーに水素や酸素、窒素ガスをマスフローコントローラを経て導入し、平行平板RF電極により試料全面にてプラズマ放電をおこなう。ここでガス圧力は例えば1 Torr程度になるように調整する。プラズマ発生は、他にも誘導結合型RF放電やECR放電、直流放電あるいは熱フィラメントによる熱電子をもちいた電離によって発生させることが出来る。レーザー結晶化直後のpoly-Si膜に基板温度250℃で水素プラズマ処理を5秒から300秒施すことによって膜中の欠陥は $10^{16} \text{ (cm}^{-2} \text{eV}^{-1})$ 程度の密度に劇的に減少し、電氣的に優れたpoly-Si膜を得ることが出来る。

【0029】

水素はシリコン膜中での拡散速度が極めて大きいので、例えば50nm程度の膜厚のpoly-Siならば処理時間は160秒程度で十分である。水素は原子半径が小さくpoly-Si膜の深い位置、すなわち下地層との界面まで効率的に欠陥パシベーションが短時間で可能となる。水素プラズマは基板温度に依存してシリコンエッチングモードの効果が生じる。これを回避するためには基板温度をおおむね100℃～400℃に保つ必要がある。尚、工程のタクトタイムを短縮するためにはレーザー結晶化を行った後基板を真空ロボットアームによって別の真空チャンバーに移動させ、前記水素、酸素、窒素プラズマ処理を行うことが有効である。

【0030】

欠陥を低減させるプロセスとしては上記の理由により水素プラズマが適しているが、他にも酸素プラズマ、窒素プラズマ、フッ素プラズマなどのプラズマ処理によって欠陥を低減することも可能である。

【0031】

(4. 第1段階絶縁膜形成・図1(c))

同様にしてpoly-Si膜の高品質化を達成することが可能であるが、更に重要なプロセスは高品質なMOS界面を形成する工程である。poly-Si表

面に存在するシリコン原子にうまく酸素原子を結合させて界面順位密度を低減させる必要がある。シリコン膜表面にはおよそ $10^{15} \text{ (cm}^{-2}\text{)}$ の結合手が存在するので、これらのほとんどが SiO_2 と清浄な化学結合を形成することが重要となる。TFTのトランジスタ特性を良好なものにするには、界面順位密度を $10^{10} \text{ (cm}^{-2}\text{)}$ 程度に抑える必要がある。すなわち、10万個のシリコン結合手に対して1個程度の欠陥しか許容されず、あとの結合手は酸素原子と秩序正しく結合をしていなければならないという大変厳しいものである。従来のプラズマCVDプロセスにおいて、この界面順位密度はせいぜい $10^{12} \text{ (cm}^{-2}\text{eV}^{-1}\text{)}$ 程度にしか制御することができなかった。本発明が開示する技術は、半導体層上にゲート絶縁膜を形成する工程は基板温度を 100°C 以下でおこなうことが特徴である。プラズマCVDはプラズマ中の活性酸素ラジカルによって SiH_4 ガスが分解され、気相で SiO_2 が形成されこれが基板上に堆積するものである。このような反応性にとんだ雰囲気下で堆積された SiO_2 は半導体表面でシリコンと化学結合を形成し良好な界面を作りうる。しかしながら、成膜雰囲気中に存在する酸素の活性種により SiO_2 の堆積と同時に半導体表面の酸化が進行するのである。ここで酸化というのは原子層1層レベル以下の現象である。シリコンは酸化されると体積が1.5倍に増加するため、酸化された Si-SiO_2 結合には局所的な応力発生がともなう。これが界面順位の主たる原因である。よって、 SiO_2 の堆積により良好な Si-SiO_2 結合が形成される割合に対して、酸化によって形成された Si-SiO_2 結合の割合が増加すると結果的に高い界面順位を有するMOS界面が形成されるのである。定量的に説明すると、界面に存在するシリコン結合手およそ $10^{15} \text{ (cm}^{-2}\text{)}$ のうちほとんどが SiO_2 の堆積により良好な結合を形成する。しかしこのうちの $10^{10} \text{ (cm}^{-2}\text{)}$ 以上の Si-SiO_2 結合がシリコンの酸化によって形成されると、これがそっくり界面準位となるのである。すなわち、ここで議論しているのは 10^5 分の1の確率、すなわち10万個に1個の Si-SiO_2 結合でも酸化が起こると無視できない程度の界面準位を発生するということである。このような界面形成機構は当然の事ながら成膜初期段階で起こる。すなわち、半導体上に SiO_2 が堆積開始すると同時に、前記酸化過程が起こっているのである。本発明はこの界面形成機構を開示する

と同時に、先に述べた酸化によって形成される界面順位密度の活性化エネルギーが極めて大きいことを開示するものである。言い換えると、基板温度によって界面順位密度を制御できるということである。図4は絶縁膜形成時の基板温度と界面順位密度: D_{it} ($\text{cm}^{-2}\text{eV}^{-1}$) の水雰囲気中での熱アニール時間依存性の実験結果を示すものである。この結果からわかるように、水雰囲気中熱アニールで相当量の界面順位が低減できるのだが、この処理は一旦酸化された結合を修復することはできない。ところが、成膜時の基板温度を低くすることによってシリコン表面においておこる酸化の確率を劇的に低減することができるのである。これは界面で起こる酸化が基板温度に強く依存する、すなわち基板温度が高いほど酸化が起こりやすいということを示している。同グラフからわかるように、基板温度を 100°C 以下にすることによって界面順位密度を 1×10^{11} ($\text{cm}^{-2}\text{eV}^{-1}$) 程度に低減できる。また基板温度を 100°C 程度にしておけば、プラズマCVDの反応副生成物であるOH結合が絶縁膜中で発生するのを低減することができるためフラットバンド電圧のシフトや絶縁膜の信頼性を確保することができるので実用上良好な条件を与える。また、基板加熱をしない条件下で成膜をおこなってもよい。これは装置構造が簡単になるため製造コストの面で非常に有利であり、基板温度の調整が不要なためプロセスのスループットが高い。なお且つ 8×10^{10} ($\text{cm}^{-2}\text{eV}^{-1}$) の良好な界面順位密度を与えるものである。プラズマCVDによる成膜ではプラズマから基板への熱輸送が起こり基板温度は自然に上昇するため、基板を積極的に低い温度に制御することも有効である。すなわち基板温度を室温程度または室温以下に冷却することによって、さらに良好な界面順位密度をえることができる。図4に見られるように、室温で 3×10^{10} ($\text{cm}^{-2}\text{eV}^{-1}$) の界面順位密度が、さらに基板を -50°C に冷却することで 1×10^{10} ($\text{cm}^{-2}\text{eV}^{-1}$) の界面順位密度をえることができるのである。これらの界面順位値は熱酸化膜で絶縁膜を形成した際にえられる界面順位密度と同じ値である。すなわち、絶縁膜形成時の基板温度を下げることによって、低温でも極めて優れたMOS界面を形成することができるのである。このような超高品質MOS界面を用いることによって、電界効果トランジスタの閾値電圧を 1V 程度に下げることが可能である。これにより、超低消費電力の回路を実現することができる。

【0032】

以上のような界面制御技術は特にプラズマにより絶縁膜を形成する場合に重要である。それは減圧下で大量の酸素活性種が発生されるためである。すなわちこれら酸素活性種による半導体表面における極わずかな確率で起こる酸化過程を制御することがプラズマを用いたMOS界面形成では本質的となるのである。さらに、マイクロ波放電を用いたプラズマCVDでは本発明が開示する技術の効果は顕著である。これは一般的にマイクロ波放電プラズマはプラズマ密度が高いという利点がある反面、 10^{-3} (Torr) 程度の比較的低圧力下で生成されるためプラズマ中の電子の平均自由行程が長く、より高次の分解が促進されるからである。すなわち、酸素分子ラジカルよりも、原子状酸素、酸素ラジカルが反応の主体であり、これらは界面の酸化に関して極めて活性である。従ってマイクロ波放電プラズマを用いた絶縁膜形成においては、基板温度を下げて成膜することによって劇的に界面順位密度を低減できるのである。

【0033】

具体的な工程としては、レーザー結晶化によって形成されたpoly-Si膜は真空中連続で水素プラズマ処理され、その後更に真空を破ること無く絶縁膜形成チャンバへと真空搬送される。真空チャンバー中で基板を 100°C 以下に調温し、背景真空度が 10^{-6} (torr) 台になるまで真空排気する。この状態で真空チャンバー内に酸素ガスとシランガス(SiH_4)を流す。放電を安定させるためにHeガスで希釈する方法もよくおこなわれる。一般的には酸素ガス流量はシランガス流量の5倍以上とする。この状態でプラズマ放電をおこない、 SiO_2 膜(105)形成をおこなう。放電の形態としては平行平板型RF放電、ICP放電、ECR放電などがあり、電源としてはRF電源やVHF、UHF電源、マイクロ波源を用いることができる。以上が第1段階の絶縁膜形成工程である。

【0034】

(5. アニール工程)

前記絶縁膜形成行程を経た後、基板を真空装置から取り出し、 100°C 以上の基板温度で、水分を含んだ雰囲気中にて加熱処理をおこなう。これは前記工程にて低い基板温度で形成された絶縁膜(105)は反応副生成物である Si-OH

結合を多く含み、バルク絶縁膜特性が悪いため、これを改善するのが目的である。特に半導体表面とキャリアのやり取りができる程度にMOS界面近傍に存在する絶縁膜中の欠陥はMOS界面準位にも影響を与える。図5に絶縁膜成膜直後と、前記アニールを施した後のCV特性を示す。

【0035】

OH結合が絶縁膜の界面近傍に多く存在すると、これが界面特性に悪影響を及ぼす。またバルク絶縁膜の耐圧低下を招く。しかし、100℃以上の水蒸気雰囲気中にて熱処理を施すことによって、このSi-OH結合を劇的に低減することができる。この効果が絶大であることは図5から明白である。これにより、界面順位の劇的な低減および絶縁耐圧、信頼性の確保が可能となる。

【0036】

(6. 素子分離工程・図1(d))

レーザー結晶化、プラズマ処理、MOS界面形成の真空中連続プロセスにより極めて高品質のMOS構造が形成された。次にTFT素子同士を電氣的に絶縁するために素子分離工程をおこなう。ここでは図1(d)に示すように絶縁膜とpoly-Si膜を連続でエッチングする。絶縁膜(105)上にフォトリソグラフィによりパターンを形成した後、ウエットまたはドライエッチングによりSiO₂をエッチングする。引き続きpoly-Si膜をドライエッチングによりエッチングする。ここではSiO₂とpoly-Si膜の2層をエッチングするので、エッチング後のエッジの形状が底状にならないよう注意する必要がある。

【0037】

(7. 第2段階ゲート絶縁膜形成・図1(e))

アイランド状のSiO₂、poly-Si膜を形成した後、基板全面に更にゲート絶縁膜(106)を形成する。ゲート絶縁膜の成膜方法としては、ECRプラズマCVD法、平行平板RF放電プラズマCVD法などがある。または再度酸素ラジカル中でSiO蒸着することによって絶縁膜を形成してもよい。しかし、この第2段階の絶縁膜は段差被覆性がよくないと、段差部分での電氣的ショートを引き起こしたり、耐圧低下の原因となる。このため段差被覆性に優れたTEOSと酸素を原料ガスとしたプラズマCVDが有効である。また、第1段階の絶縁

膜は低温で形成するため絶縁耐圧が低くなる傾向が強い。しかしながら本発明が開示する２段階絶縁膜形成法を用いれば、第２段階として１００℃以上の基板温度で絶縁膜を形成することにより絶縁膜全体としての絶縁耐圧を向上させることができる。図６は第１段階の絶縁膜の成膜（基板温度１００℃）のみで絶縁膜の耐圧を調べた場合（single layer）と、第２段階の絶縁膜成膜（基板温度３００℃、TEOS+O₂）をおこなった後で２層構造絶縁膜（double layer）の耐圧を調べた結果である。これから明らかなように本発明が開示する２段階での絶縁膜形成法により、絶縁膜の耐圧を実用上十分な７（MV/cm）程度にまで改善することが可能となる。このようにMOS界面形成とバルク絶縁膜形成に異なる絶縁膜形成法を用いることによって、従来の低温プロセスでは実現し得なかった優れたMOS界面特性およびバルク絶縁膜特性の両立を実現することができるのである。

【 0 0 3 8 】

（ 8 . 以降の工程）

引き続いて図１（e）に示すようにゲート電極（１０７）となる薄膜をPVD法或いはCVD法などで堆積する。この材質は電気抵抗が低く、３５０℃程度の熱工程に対して安定である事が望まれ、例えばタンタル、タングステン、クロム等の高融点金属がふさわしい。また、イオンドーピングによってソース、ドレインを形成する場合、水素のチャネリングを防止するためにこのゲート電極の膜厚がおおよそ７００nm程度必要になる。前記高融点金属の中で７００nmもの膜厚で成膜しても膜ストレスによるクラックが生じない材料となると、タンタルが最もふさわしい。ゲート電極となる薄膜を堆積後パターニングを行い、引き続いて半導体膜に不純物イオン注入を行ってソース・ドレイン領域（１０８、１０９）を形成する。

【 0 0 3 9 】

この時ゲート電極がイオン注入のマスクとなっているので、チャンネルはゲート電極下のみに形成される自己整合構造となる。不純物イオン注入は質量非分離型イオン注入装置を用いて注入不純物元素の水素化物と水素を注入するイオン・ドーピング法と、質量分離型イオン注入装置を用いて所望の不純物元素のみを注

入するイオン打ち込み法の二種類が適応され得る。イオン・ドーピング法の原料ガスとしては水素中に希釈された濃度 0.1% 程度から 10% 程度のホスフィン (PH_3) やジボラン (B_2H_6) 等の注入不純物元素の水素化物を用いる。イオン打ち込み法では所望の不純物元素のみを注入した後に引き続いて水素イオン (プロトンや水素分子イオン) を注入する。前述の如く MOS 界面やゲート絶縁膜を安定に保つ為には、イオン・ドーピング法にしるイオン打ち込み法にしるイオン注入時の基板温度は 350℃ 以下である事が好ましい。一方注入不純物の活性化を 350℃ 以下の低温にて常に安定的に行うには (本願ではこれを低温活性化と称する)、イオン注入時の基板温度は 200℃ 以上である事が望ましい。トランジスタのしきい値電圧を調整する為にチャンネル・ドープ行うとか、或いは LDD 構造を作成すると云った様に低濃度に注入された不純物イオンを低温で確実に活性化するには、イオン注入時の基板温度は 250℃ 以上で有る事が必要となる。この様に基板温度が高い状態でイオン注入を行うと、半導体膜のイオン注入に伴う結晶壊破の際に再結晶化も同時に生じ、結果としてイオン注入部の非晶質化を防ぐ事が出来るのである。即ちイオン注入された領域は注入後も依然として結晶質として残り、その後の活性化温度が 350℃ 程度以下と低温で有っても注入イオンの活性化が可能に成る訳で有る。CMOS TFT を作成する時はポリイミド樹脂等の適当なマスク材を用いて NMOS 又は PMOS の一方を交互にマスクで覆い、上述の方法にてそれぞれのイオン注入を行う。

【 0 0 4 0 】

また、不純物の効率的な活性化法としてエキシマレーザーなどを照射するレーザー活性化がある。これは絶縁膜を通してレーザー照射することによりソース、ドレイン部のドープ poly-Si を溶融・固化させ、不純物を活性化させる方法である。

【 0 0 4 1 】

次に、図 1 (g) に示すように、ソース・ドレイン上にコンタクトホールを開孔し、ソース・ドレイン取り出し電極 (110、111) と配線を PVD 法や CVD 法などで形成して薄膜トランジスタが完成する。

【 0 0 4 2 】

【実施例】

本発明の実施例を図 1 にそって説明する。本発明で用いられる基板及び下地保護膜に関しては前述の説明に準ずるが、ここでは基板の一例として 300 mm × 300 mm の正形状汎用無アルカリガラス (101) を用いた。まず基板 101 上に絶縁性物質である下地保護膜 (102) を形成する。ここでは基板温度を 150°C として ECR-PECVD 法にて 200 nm 程度の膜厚を有する酸化珪素膜を堆積した。次に後に薄膜トランジスタの能動層となる真性シリコン膜等の半導体膜 (103) を堆積する。半導体膜の厚みは 50 nm 程度とした。本例では高真空型 LPCVD 装置を用いて、原料ガスで有るジシラン (Si_2H_6) を 200 SCCM 流し、425°C の堆積温度で非晶質シリコン膜 103 を堆積した。まず高真空型 LPCVD 装置の反応室を 250°C とした状態で反応室の内部に複数枚 (例えば 17 枚) の基板を表側を下向きとして配置した。この後にターボ分子ポンプの運転を開始した。ターボ分子ポンプが定常回転に達した後、反応室内の温度を約 1 時間掛けて 250°C から 425°C の堆積温度に迄上昇させた。昇温開始後の最初の 10 分間は反応室にガスを全く導入せず真空中で昇温を行ない、しかる後純度が 99.9999% 以上の窒素ガスを 300 SCCM 流し続ける。この時の反応室内における平衡圧力は、 3.0×10^{-3} Torr とした。堆積温度に到達した後、原料ガスであるジシラン (Si_2H_6) を 200 SCCM 流すと共に、純度が 99.9999% 以上の希釈用ヘリウム (He) を 1000 SCCM 流した。堆積開始直後の反応室内圧力は凡そ 0.85 Torr で有る。堆積の進行と共に反応室内の圧力は徐々に上昇し、堆積終了直前の圧力は凡そ 1.25 Torr と成った。同様に堆積したシリコン膜 (103) は基板の周辺部約 7 mm を除いた 286 mm 角の領域内に於いて、その膜厚変動は ±5% 以内で有った。

【0043】

次にレーザー結晶化を行うのであるが、これに先立って非晶質シリコン膜を弗酸溶液に浸し、半導体膜 (103) 上の自然酸化膜をエッチングする。一般的にシリコン膜が露出した表面は非常に不安定で、シリコン薄膜を保持している雰囲気物質と容易に反応を起こす。従って、レーザー照射をおこなう前処理では単に

自然酸化膜を除去するだけでなく、露出したシリコン膜表面を安定化させる必要がある。このためには、弗酸溶液による処理が望ましい。弗酸は純水との混合比が 1 : 3 0 になるようにした。この弗酸溶液中に約 2 0 から 3 0 秒浸した後、すぐに純水洗浄を 1 0 から 2 0 分おこなった。この後スピナーで純水を取り除いた。これによって、シリコン膜表面は水素原子でターミネートされた安定化表面になる。

【 0 0 4 4 】

次にレーザー光の照射をおこなう。本例ではキセノン・クロライド (XeCl) のエキシマ・レーザー (波長: 308 nm) を照射する。レーザーパルスの強度半値幅 (時間に対する半値幅) は 25 ns である。基板をレーザー結晶化チャンバーにセットした後、真空排気をおこなった。真空排気後基板温度を 250°C まで上昇させた。一回のレーザー照射面積は 10 mm 角の正形状で、照射面でのエネルギー密度は 160 mJ/cm^2 であった。このレーザー光を 90% ずつ重ねつつ (つまり照射するごとに 1 mm づつ) 相対的にずらしながら照射を繰り返した (図 2 参照)。こうして一辺 300 mm の基板全体のアモルファスシリコンを結晶化した。同様な照射方法を用いて 2 回目のレーザー照射を行った。2 回目のエネルギー密度は 180 mJ/cm^2 で有る。これをくり返し、3 回目、4 回目と約 20 mJ/cm^2 づつ照射エネルギー密度を上昇させながら最終的にはエネルギー密度 440 mJ/cm^2 の照射をおこないレーザー照射を終了する。ここで 450 mJ/cm^2 の照射レーザーエネルギー密度を超えた高いエネルギーを照射すると、 p-Si のグレインが微結晶化を起こすため、これ以上のエネルギー照射を避けた。

【 0 0 4 5 】

次にこの基板を真空を保持した状態でプラズマ処理チャンバーに搬送し、このチャンバー内に水素ガスを導入した。本例では 99.999% 水素ガスをマスフローコントローラから導入し、チャンバー内圧力は 1 (torr) になるように調整した。この状態で平行平板電極に 13.56 MHz の RF を印可することによって放電を行い、水素によるレーザー結晶化 poly-Si 膜中の欠陥終端をおこなった。基板温度は 250°C 、投入した RF パワーは 3 W/cm^2 とした。

水素は十分短時間に膜中に拡散しうるので、160秒の処理で特にpoly-Si膜の深い位置および下地層との界面に存在する欠陥を効率的に終端した。

【0046】

次に真空を保ったままで基板(100)を絶縁膜形成チャンバーへと搬送した。基板搬送終了後、チャンバー内を 10^{-6} (torr) 台の真空度に排気した。基板はここで -100°C に冷却される。

【0047】

この間、チャンバー内にシランガスと酸素ガスを流量比1:6で導入し、チャンバー圧力を 2×10^{-3} (Torr) に調節した。基板温度が安定したら、ECR放電を開始し、絶縁膜の成膜を開始する。投入したマイクロ波パワーは1kWで、マイクロ波は磁力線に平行に導入窓から導入した。導入窓から20cmの位置にECRポイントがある。成膜は100 (nm/min.) の成膜速度でおこなった。これにより、第1層目のゲート絶縁膜(105)を30nm形成した。

【0048】

次に基板を真空チャンバから取り出し、これを 330°C の飽和水蒸気雰囲気中にセットし、90分間熱処理をおこなった。次にpoly-Si膜と第1層絶縁膜の連続エッチングをおこなった。引き続き、第2層絶縁膜(106)を本例では平行平板型rf放電PECVD法で基板温度を 350°C として70nm堆積した。原料ガスとしてはTEOS ($\text{Si}-(\text{O}-\text{CH}_2-\text{CH}_3)_4$) と酸素(O_2)の混合ガスをもちいた。引き続いてゲート電極(107)となる薄膜をPVD法或いはCVD法などで堆積する。通常はゲート電極とゲート配線は同一材料にて同一工程で作られる為、この材質は電気抵抗が低く、 350°C 程度の熱工程に対して安定である事が望まれる。本例では膜厚が600nmのタンタル薄膜をスパッタ法により形成した。タンタル薄膜を形成する際の基板温度は 180°C であり、スパッタガスとして窒素ガスを6.7%含むアルゴンガスを用いた。同様に形成したタンタル薄膜は結晶構造が α 構造と成っており、その比抵抗は凡そ $40 \mu\Omega\text{cm}$ であった。ゲート電極となる薄膜を堆積後パターニングを行い、引き続いて半導体膜に不純物イオン注入を行ってソース・ドレイン領域(108、109)及びチャンネル領域を形成した。この時ゲート電極がイオン注入のマスクとな

っているため、チャンネルはゲート電極下のみに形成される自己整合構造となる。イオン・ドーピング法の原料ガスとしては水素中に希釈された濃度0.1%程度から10%程度のホスフィン (PH_3) やジボラン (B_2H_6) 等の注入不純物元素の水素化物を用いる。本例ではNMOS形成を目指し、イオン・ドーピング装置を用いて、水素中に希釈された濃度5%のホスフィン (PH_3) を加速電圧100keVで注入する。 PH_3^+ や H_2^+ イオンを含むの全イオン注入量は $1 \times 10^{16} \text{ cm}^{-2}$ である。

【0049】

次にソース・ドレイン上にコンタクトホールを開孔し、ソース・ドレイン取り出し電極(110、111)と配線をPVD法やCVD法などで形成して薄膜トランジスタが完成する。

【0050】

従来の技術では、高品質なMOS界面を形成する有効なプロセスが明確でなかった。しかし、以上述べて来た様に本発明の電界効果トランジスタの製造方法を用いることによって極めて高品質なMOS界面形成が可能となる。結果として高移動度、低しきい値電圧の電界効果トランジスタの製造が可能となり、超低消費電力回路の実現が可能となる。

【図面の簡単な説明】

【図1】

本発明の電界効果トランジスタの製造方法を示した工程断面図。

【図2】

レーザー結晶化時のレーザービーム照射方法を説明する図。

【図3】

レーザー結晶化時のレーザービーム照射方法を説明する。

【図4】

本発明で形成したMOS界面の界面順位密度の基板温度依存性を示す図。

【図5】

本発明のMOS界面形成工程によって作製したMOS構造の高周波C-V特性を示す線図。

【図 6】

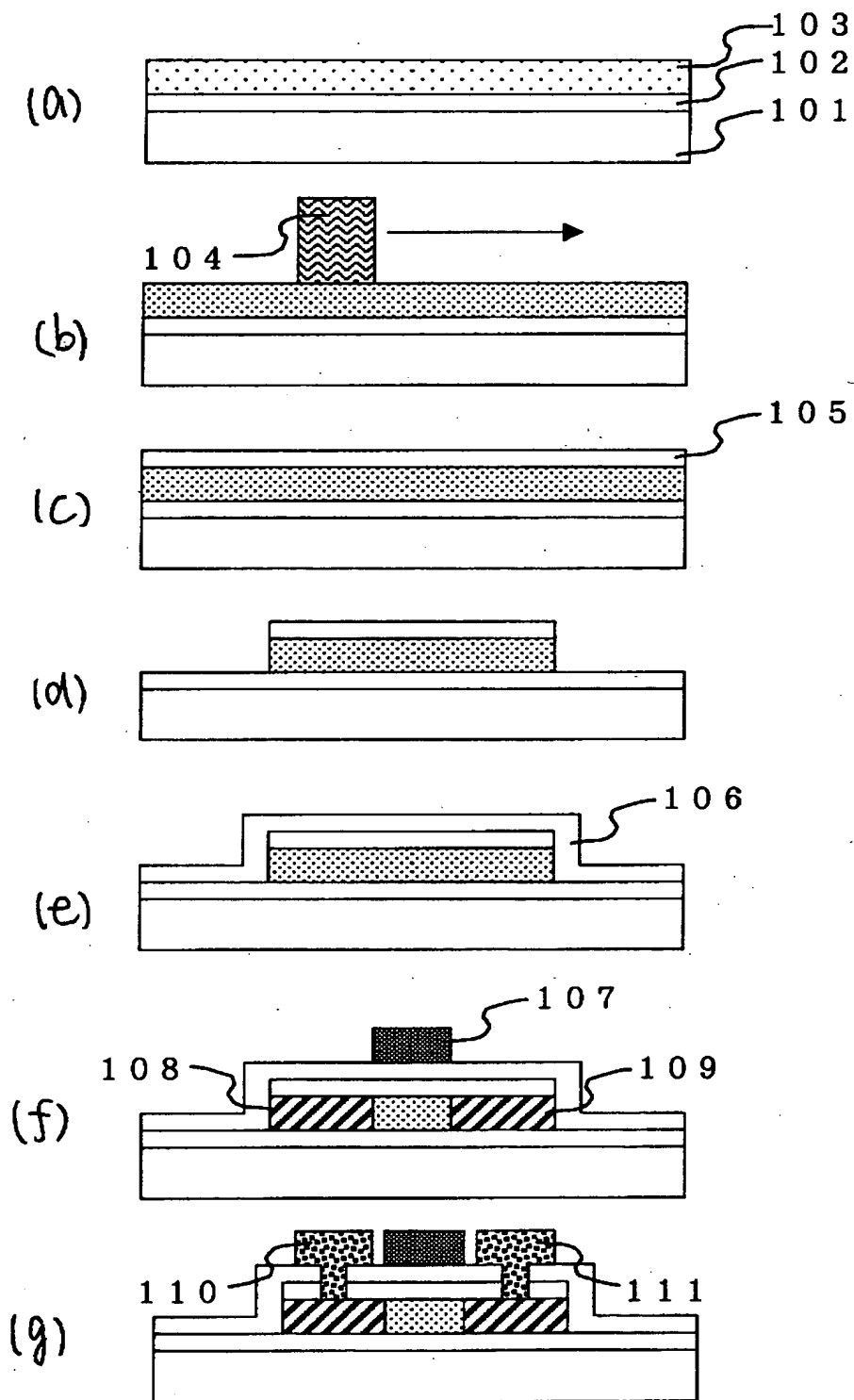
本発明の 2 段階絶縁膜形成工程によって作製した MOS 構造と単層で形成した MOS 構造の絶縁耐圧特性を示す線図。

【符号の説明】

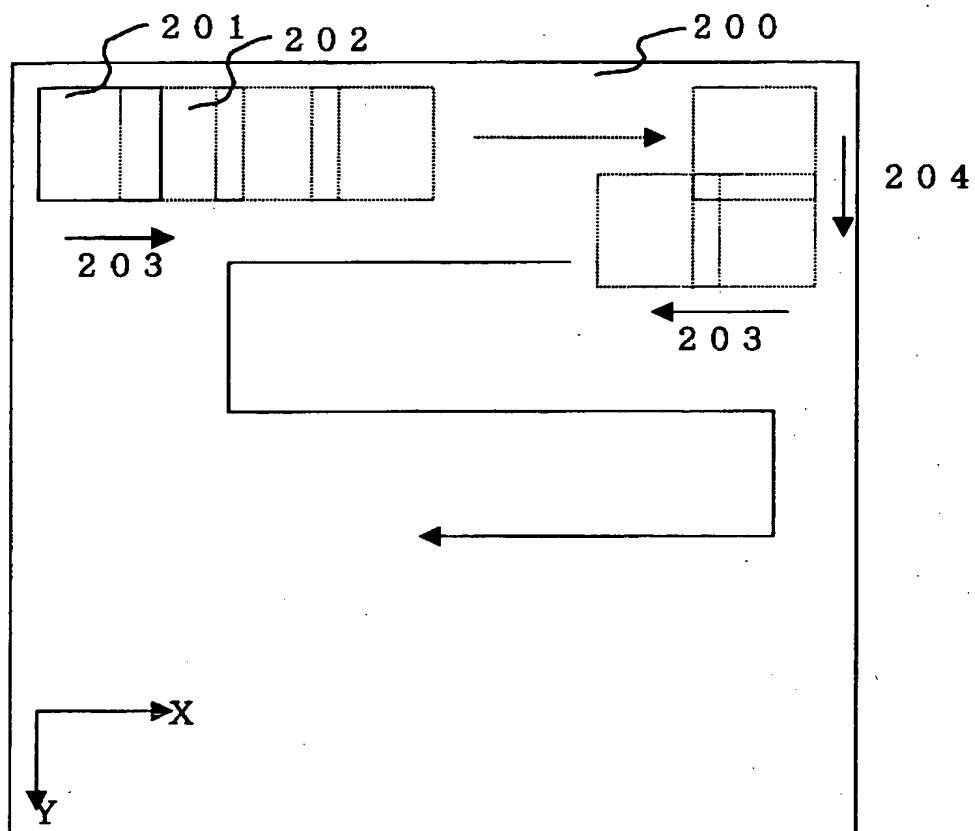
- 1 0 1 . . . 基板
- 1 0 2 . . . 下地絶縁膜
- 1 0 3 . . . 半導体膜
- 1 0 4 . . . レーザー光
- 1 0 5 . . . 第 1 層ゲート絶縁膜
- 1 0 6 . . . 第 2 層ゲート絶縁膜
- 1 0 7 . . . ゲート電極
- 1 0 8 . . . ソース
- 1 0 9 . . . ドレイン
- 1 1 0 . . . ソース電極
- 1 1 1 . . . ドレイン電極
- 2 0 1 . . . レーザー照射領域
- 2 0 3 . . . x 方向移動
- 2 0 4 . . . y 方向移動
- 3 0 1 . . . ライン状レーザービーム

【書類名】 図面

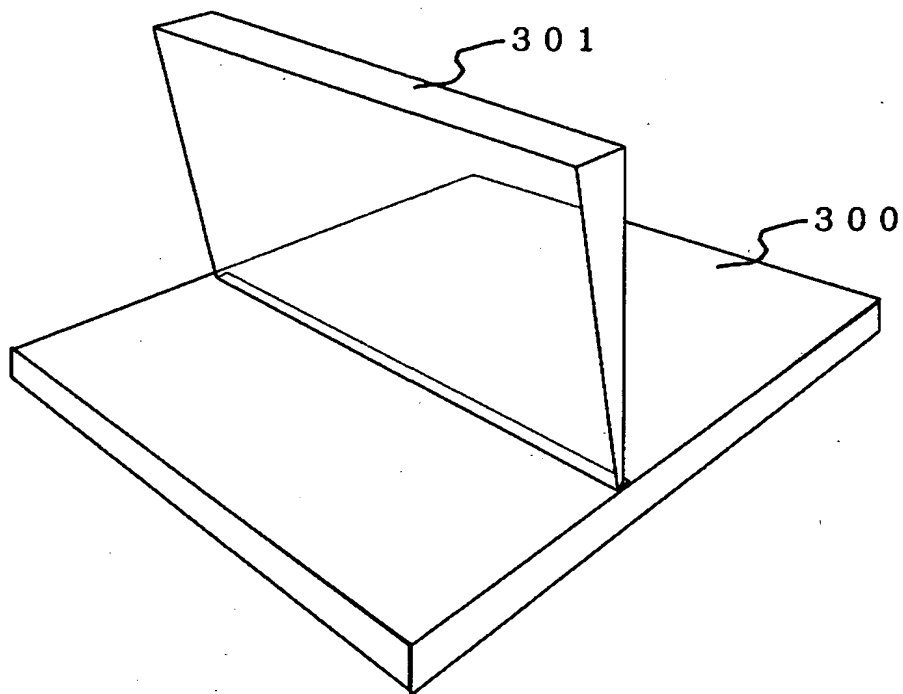
【図 1】



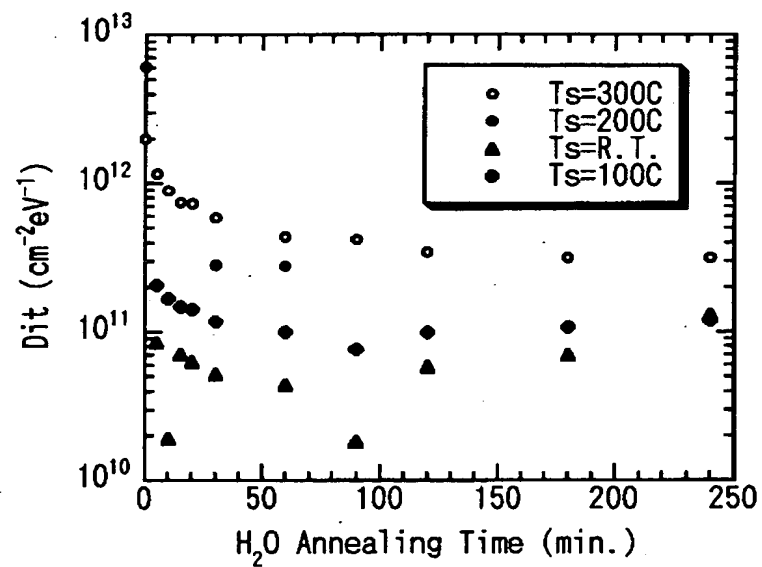
【図 2】



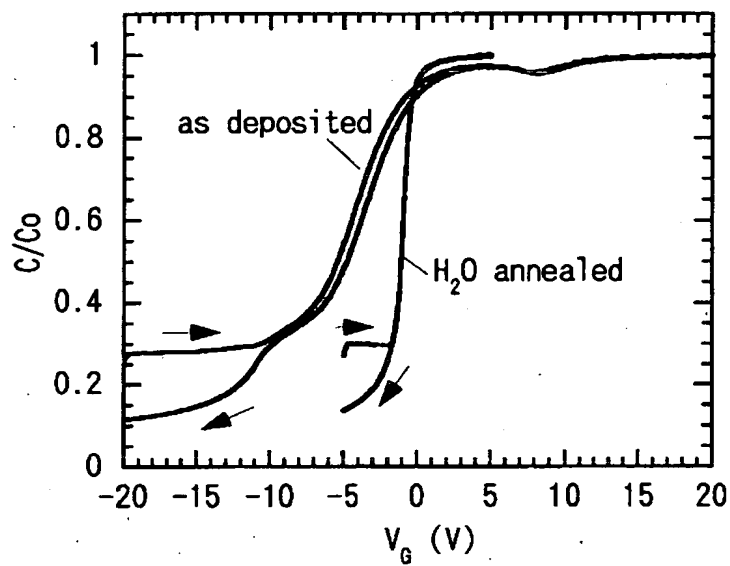
【図 3】



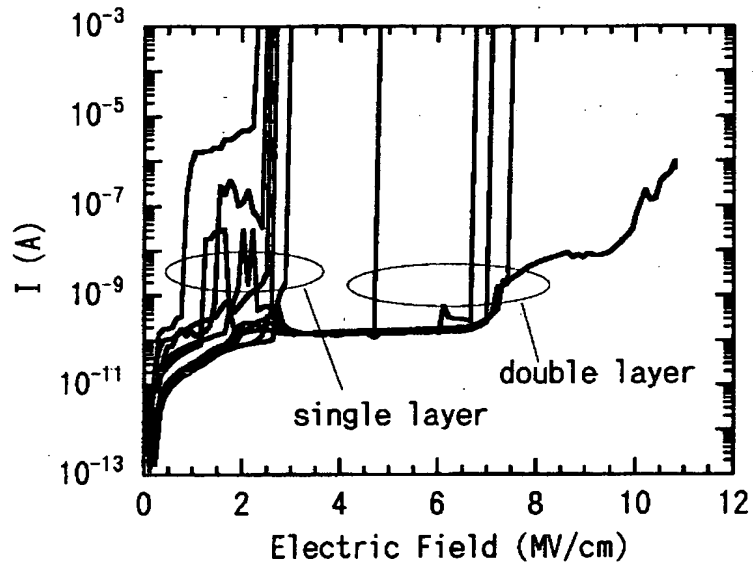
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 低いプロセス温度で高品質のMOS界面とバルク絶縁特性を得る。

【解決手段】 第1の絶縁膜形成工程(c)は100℃以下の低温でおこない、しかる後に第2の絶縁膜形成工程(e)を100℃以上の温度でおこなう。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社